

DIALOG(R)File 347:JAPIO(c) 1997 JPO & JAPIO. All rts. reserv.

03383338 MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 03-046238 [JP 3046238 A]

PUBLISHED: February 27, 1991 (19910227)

INVENTOR(s): HOSAKA TAKASHI

APPLICANT(s): SEIKO INSTR INC [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-181862 [JP 89181862]

FILED: July 13, 1989 (19890713)

**ABSTRACTPURPOSE:** To inhibit the spread of a depletion layer and to obtain stable transistor characteristics by a method wherein with the first source and drain of a P-channel MOS transistor formed, nitrogen or oxygen ions are implanted and high-resistance regions are respectively formed between the first source and drain and the second source and drain of the transistor.

**CONSTITUTION:** First source and drain 4 and 5 are formed and thereafter, N or O ion-implanted layers 6 are formed. Then, when second source and drain 8 and 9 are formed, the structure of a P-channel MOS transistor becomes a structure, in which the high-resistance layers 6 of a strong N or O concentration respectively exist in the vicinities of the shoulders of the P-type impurity second source and drain 8 and 9. With this when a voltage is applied to the first and second sources and drains 4, 5, 8 and 9, a depletion layer 10 is generated, but there are the layers 6 of a strong N or O concentration at the circumferential parts, at which the spread of the layer 10 becomes widest, of the second source and drain 8 and 9, in short, at the parts of the shoulders of the source and drain 8 and 9 and have a high resistance. Thereby, the existence of the layers 6 inhibits the spread of the layer 10 and stable transistor characteristics can be obtained.

## ⑫ 公開特許公報(A)

平3-46238

⑪ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月27日

H 01 L 21/336  
29/784

8422-5F H 01 L 29/78 3 0 1 Z

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-181862

⑯ 出 願 平1(1989)7月13日

⑰ 発 明 者 保 坂 俊 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内⑱ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

⑲ 代 理 人 弁理士 林 敬之助

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

PチャネルMOS型トランジスタの製造方法において、ゲート電極を形成する工程と、P型のシリコン基板内に窒素または酸素のイオン打ち込みを行う工程と、P型の不純物層を前記シリコン基板内に作り第1のソースおよびドレインを形成する工程と、ゲート電極の側壁絶縁膜を形成する工程と、P型の不純物層を前記シリコン基板内に作り第2のソースおよびドレインを形成する工程とから成る事の特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は金属、酸化物、半導体(以下MOSと呼ぶ)型半導体装置の製造方法に関する。

(発明の概要)

PチャネルMOS型トランジスタのゲート電極を形成した後に、P型の不純物濃度を有する第1のソース・ドレインを形成すると同時にゲート電極をマスクとして窒素または酸素をイオン打ち込みし、次にゲート電極の側壁スペーサーを形成し、さらにP型の不純物濃度を有する第2のソース・ドレインを形成する。以上により、ソース・ドレインの間に抵抗の高い領域を形成する。

(従来の技術)

第3図に示す様に、ゲート電極23のチャネル長Lが2.0 μmより短くなるとPMOSTランジスタのソース・ドレインの間の電界が増してきてバシスルーが発生し易くなるために、P型MOSトランジスタのソース・ドレインをゲート電極23をマスクにして自己整合的に2回形成していた。すなわち、ゲート電極23を形成した後にP型の不純物濃度を有する第1のソース・ドレイン24、25を形成し、次に側壁のスペーサー26を作成する。次に上記のゲート電極23と側壁スペーサー26をマスクにしてP型の不純物濃度を有する第2のソー

ソース・ドレイン27, 28を形成する。ここで第1のソース・ドレイン24, 25の濃度は第2のソース・ドレイン27, 28の濃度より一般には薄くなっている。この構造を一般にはLightly Doped Drain(略してLDD)トランジスタと呼んでいる。

(発明が解決しようとする課題)

LDDトランジスタになっても、ソース・ドレインを形成してからの熱処理温度が高くなるとP型の不純物濃度の高い第2のソース・ドレインが横方向に伸びてくるか、あるいはゲート電極23が短くなっていくかすると、実質的な有効チャネル長が短くなってきて、第3図に示す様に、ソース・ドレインに電圧を印加すると空乏層29が発生し、電界を大きくするに従い空乏層巾が広がりソースとドレインの空乏層が直接つながって大きな電流が流れるようになり、トランジスタとしての特性を示さなくなる。本発明はこの欠点を解消した半導体装置の製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明は上記目的を達成するために、下記の方

るが、シリコン窒化膜やシリコン酸窒化膜やこれらの多層膜などの他の絶縁膜でも良い。さらにゲート電極3は多結晶シリコン膜や金属膜やポリサイド膜などである。

次に第1図(a)に示す様に窒素(N)または酸素(O)をイオン注入する。ゲート電極3をマスクにしてイオン注入されるのでゲート電極3の直下のチャネルにはNまたはOはイオン注入されない。またゲート電極3にイオン注入しない時はゲート電極3上にフォトリソト等を残しておいても良い。さてこの時のイオン注入の飛程(Rp)は半導体基板1の表面から得る第2のソース・ドレインの空乏層が伸びる領域の深さに相当する距離で良い。たとえば、ソース・ドレインの拡散深さが $0.3\mu\text{m}$ であれば、イオン注入の飛程は $0.3\mu\text{m} \pm 0.05\mu\text{m}$ が良い。もちろん、この範囲から外れても効果は小さくなるがソースとドレインの空乏層が接触する現象を防止する事はできる。また、NあるいはOのイオン注入の飛程は第1のソース・ドレイン4, 5より下に来るようにする事が望

法を採用した。即ち、PチャネルMOS型トランジスタの製造方法において、ゲート電極を形成する工程と、P型のシリコン基板内に窒素または酸素のイオン打ち込みを行う工程と、P型の不純物層を前記シリコン基板内に作り第1のソースおよびドレインを形成する工程と、ゲート電極の側壁絶縁膜を形成する工程と、P型の不純物層を前記シリコン基板内に作り第2のソースおよびドレインを形成する工程とから成る事を特徴とする半導体装置の製造方法である。

(実施例)

第1図をもとに本発明の実施例を詳細に説明する。第1図(a)に示す様にシリコン(Si)などの半導体基板1の上にゲート絶縁膜2を形成した後、ゲート電極3を形成し、さらにこのゲート電極3をマスクにして自己整合的にP型の不純物層を有するソース・ドレイン4, 5を形成する。半導体基板1はシリコンの場合はN型シリコンまたはP型シリコン内に形成されたNウェルである。またゲート絶縁膜2は、シリコン酸化膜が一般的であ

ましい。すなわち、第1のソース・ドレイン4, 5のP型(たとえばBやBF<sub>3</sub>など)の不純物のイオン注入の飛程が $0.1\mu\text{m}$ ならばNあるいはOのイオン注入の飛程は $0.1\mu\text{m}$ より深くなるようにする。第1のソース・ドレイン4, 5の不純物濃度は第2のソース・ドレインの不純物濃度より一般に薄くなっていて、第1のソース・ドレイン4, 5の空乏層の伸びは第2のソース・ドレインの空乏層の伸びより一般には小さくなっている。さらに、NあるいはOのイオン注入量は多ければ多いほど空乏層の伸びの防止には効果があるが、イオン注入によるダメージが発生する事および余りに絶縁膜に近くなる事によりリーク電流の増大や易動度の低下を引き起こすので望ましくはない。従ってNまたはOのイオン注入量は $1 \times 10^{11}/\text{cm}^2$ から $5 \times 10^{13}/\text{cm}^2$ の範囲が良い。

次に第1図(a)に示す様にゲート絶縁膜3の側壁にスペーサー絶縁膜7を形成する。この形成方法は一般のLDDトランジスタのスペーサーの形成方法と同じである。この絶縁膜7はシリコン酸化

膜( $\text{SiO}_2$ 膜)やシリコン窒化膜( $\text{Si}_3\text{N}_4$ 膜)やシリコン酸窒化膜( $\text{SiO}_x\text{N}_y$ 膜)などである。

次に第1図(d)に示す様に、ゲート電極3と側壁スペーサーをマスクにしてP型の不純物をシリコン基板1の中に入れ、第2のソース・ドレイン8、9を形成する。P型の不純物の導入方法として、イオン注入法あるいは拡散法が挙げられる。イオン注入法の場合はボロン( $\text{B}^+$ )あるいはフッ化ボロン( $\text{BF}_3^+$ )等のイオンで行う。さらにその後の熱処理により、第2のソース・ドレイン層が拡散していくが、NまたはOのイオン注入層の付近では第2のソース・ドレイン層は余り伸びていかない。

以上の様にして作成したP型トランジスタは第1図(d)に示す様にP型不純物の第2のソースおよびドレイン8、9の肩の付近にNあるいはOの濃度の高い高抵抗の層6が存在する構造となっている。

(発明の効果)

尚、本実施例では第1のソース・ドレイン4、5を形成した後にNあるいはOのイオン注入層6を形成する様に説明しているが、この逆に行っても同様の効果が得られる。すなわち、NあるいはOのイオン注入層6を形成した後に第1のソース・ドレイン4、5を形成しても良い。

#### 4. 図面の簡単な説明

第1図(a)~(d)は本発明の製造方法の工程順を示す断面図、第2図は本発明の効果を示す断面図、第3図は従来のトランジスタの構造を示す断面図である。

1. 21・・・半導体基板
2. 22・・・ゲート絶縁膜
3. 23・・・ゲート電極
4. 5. 24. 25・・・第1のソース・ドレイン
- 6・・・NまたはOのイオン打込層
7. 26・・・側壁絶縁膜
8. 9. 27. 28・・・第2のソース・ドレイン

第2図に示す様に、第1および第2のソースおよびドレイン4、5、8、9に電圧を印加した時に空乏層10が発生する。しかし最も空乏層10の伸びが大きくなる第2のソースおよびドレイン8、9の円周部つまり肩の部分にはNあるいはOの濃度が濃い層6があり高い抵抗を有している。この層6の存在の為に空乏層の伸びが抑制され、たとえゲート電極3の長さLが $2\mu\text{m}$ 以下(もちろん $1.0\mu\text{m}$ 以下も含む)になってもソース側とドレイン側の空乏層が通常の使用電界のもとでは接触する事はなく、安定したトランジスタ特性を示す。また実施例においても説明した様に、第1のソース・ドレイン4、5は薄く表面付近にあるために、実効チャネル長は小さくスピードの速いトランジスタが形成され、しかもベンチスルー耐圧の大きいトランジスタとなる。

以上の効果は通常使用している電源電圧10V以下の説明であるが、さらにこの発明は10V以上の高い電圧を印加する高耐圧用デバイスにも応用できる事は言うまでもない。

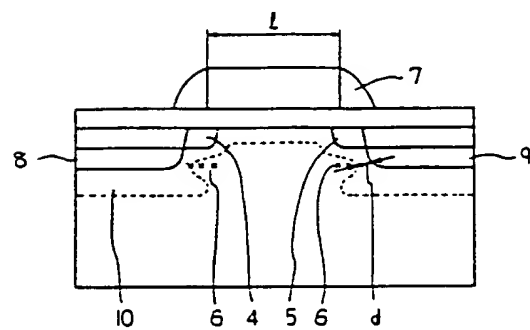
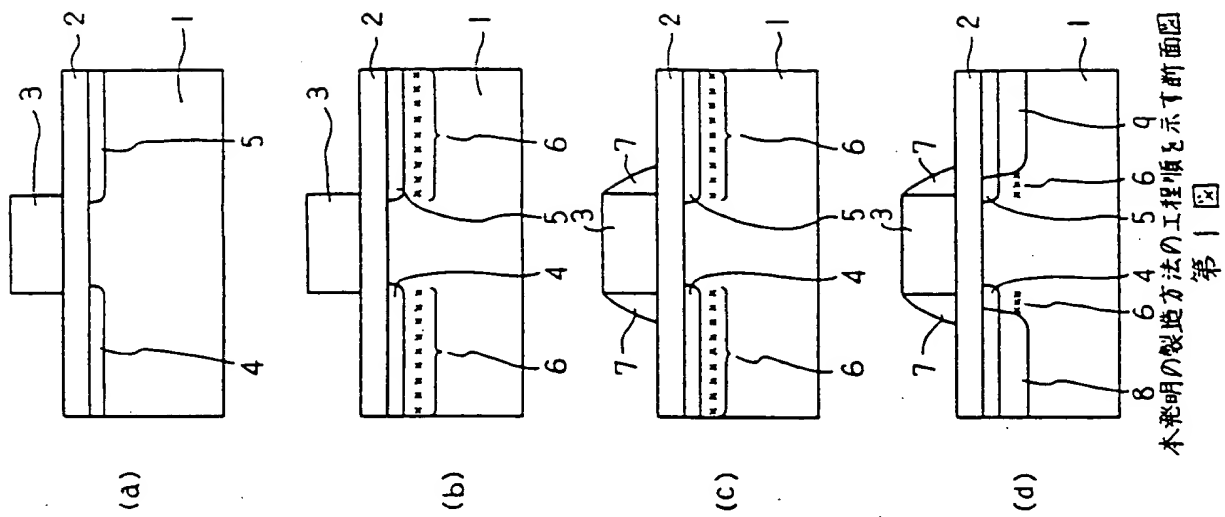
10. 29・・・空乏層

d・・・空乏層巾

以 上

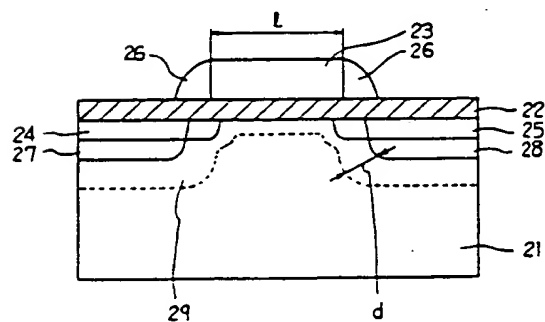
出願人 セイコー電子工業株式会社

代理人 弁理士 林 敬 之 助



本発明の効果を示す断面図

第 2 圖



従来のトランジスタの構造を示す断面図

第 3 回